

明細書

スイッチング電源装置及び携帯機器

技術分野

[0001] 本発明は、軽負荷時の損失を低減して効率を改善するスイッチング電源装置に関するもので、特に、出力側のコイル電流を検出してスイッチング制御を行うカレントモードを採用したスイッチング電源装置、及び、当該スイッチング電源装置を備えた消費電力が低減される携帯機器に関する。

背景技術

[0002] 内部に備えたスイッチング素子のON/OFF制御によって負荷に供給する電力量を制御するスイッチング電源装置において、従来は、スイッチング電源装置の軽負荷時の損失を低減するために、スイッチング素子のスイッチング動作を停止する期間を有する間欠スイッチング動作に切り換えられる間欠制御が行われている(特許文献1参照)。この間欠制御を行うスイッチング電源装置において、出力電圧に応じた電圧を間欠制御するための基準電圧 V_{burst} と比較する比較器を備える。

[0003] そして、この比較器において、軽負荷となって出力電圧に応じた電圧が基準電圧 V_{burst} より高くなったことが確認されると、ドライバによるスイッチング素子のスイッチング制御動作が停止される。その後、この比較器にヒステリシス特性を備えることにより、出力電圧が低くなつたことが確認されると、ドライバによるスイッチング素子のスイッチング制御動作が再開される。軽負荷時において、このような動作が繰り返されることによって、間欠制御用の比較器による間欠制御が行われ、その効率を高くすることができる。

特許文献1:特開平6-303766号公報

発明の開示

発明が解決しようとする課題

[0004] しかしながら、この従来のスイッチング電源装置は、軽負荷時の効率を高くするために、ドライバによるスイッチング素子のスイッチング動作を間欠的に行うための間欠制御用の比較器を設ける必要がある。このように間欠制御用の比較器を備える分だけ、

スイッチング電源装置を構成する回路規模を増大させるとともに、このようなスイッチング電源装置が設置される携帯機器の小型化の妨げとなる。

[0005] このような問題を鑑みて、本発明は、軽負荷時における間欠制御用の回路を新たに設けることなく、高効率を維持することができるスイッチング電源装置を提供することを目的とする。

課題を解決するための手段

[0006] 上記目的を達成するために、本発明のスイッチング電源装置は、ON/OFF動作を行うスイッチング素子と、該スイッチング素子のON/OFF制御を行う制御回路と、前記スイッチング素子によって流れる電流量が制御されるコイルと、該コイルと接続されるとともに該コイルとともに整流動作を行うコンデンサと、一定の周期毎に前記スイッチング素子をONと制御するための発振信号を前記制御回路に出力する発振器と、を備えるとともに、前記コンデンサと前記コイルとの接続ノードより出力電圧を出力するスイッチング電源装置において、前記コイルを流れる電流値を検出して電圧値に変換して電流検出電圧として出力する電流検出部と、前記電流検出部からの前記電流検出電圧にオフセット電圧を与える電圧源と、前記電圧源で前記オフセット電圧が与えられた前記電流検出電圧と、前記出力電圧に応じた電圧と基準電圧との差に応じた電圧と、を比較する比較器と、を備え、前記比較器において、前記オフセット電圧が与えられた前記電流検出電圧の大きさが前記出力電圧に応じた電圧と前記基準電圧との差に応じた電圧よりも大きいことが確認されたとき、前記発振器からの前記発振信号を無効とするとともに、前記スイッチング素子をOFFとすることを特徴とする。

発明の効果

[0007] 本発明によると、検出したコイルを流れる電流値を表す電流検出電圧にオフセット電圧を与えることによって、出力電圧と基準電圧との差が小さくなる無負荷又は軽負荷時において、比較器が、電流検出電圧の大きさが出力電圧と基準電圧との差よりも大きいことが確認される。このとき、スイッチング素子をONとする発振器の発振信号を無効とすることができますため、出力電圧と基準電圧との差が大きくなるまで、スイッチング素子のスイッチング動作を間欠制御することができる。よって、従来のように、

間欠制御するための比較器を付加する構成とする必要がなくなるため、軽負荷又は無負荷時における高い効率を維持するとともに装置の小型化を図ることができる。

図面の簡単な説明

[0008] [図1]は、第1の実施形態のスイッチング電源装置の内部構成を示すブロック図である。

[図2]は、図1のスイッチング電源装置の重負荷時における各部の動作を説明するタイミングチャートである。

[図3]は、図1のスイッチング電源装置の軽負荷又は無負荷時における各部の動作を説明するタイミングチャートである。

[図4]は、図1のスイッチング電源装置における電流検出回路周辺の構成の一例を示す回路図である。

[図5]は、第2の実施形態のスイッチング電源装置の内部構成を示すブロック図である。

[図6]は、図5のスイッチング電源装置の重負荷時における各部の動作を説明するタイミングチャートである。

[図7]は、図5のスイッチング電源装置の軽負荷又は無負荷時における各部の動作を説明するタイミングチャートである。

[図8]は、図5のスイッチング電源装置における電流検出回路周辺の構成の一例を示す回路図である。

[図9]は、第3の実施形態のスイッチング電源装置の内部構成を示すブロック図である。

[図10]は、図9のスイッチング電源装置の重負荷時における各部の動作を説明するタイミングチャートである。

[図11]は、図9のスイッチング電源装置の軽負荷又は無負荷時における各部の動作を説明するタイミングチャートである。

[図12]は、図9のスイッチング電源装置における電流検出回路周辺の構成の一例を示す回路図である。

[図13A]は、昇圧型のスイッチング電源装置に適用したときの構成の一例を示すブロ

ック図である。

[図13B]は、反転型のスイッチング電源装置に適用したときの構成の一例を示すプロック図である。

符号の説明

- [0009]
 - 1 ドライバ
 - 2 差動増幅器
 - 3 レベルシフタ
 - 4 比較器
 - 5 RSフリップフロップ
 - 6 発振器
 - 20, 20a, 21 電圧源
 - Tr1, Tr2 MOSトランジスタ
 - L コイル
 - C コンデンサ
 - R1, R2 抵抗

発明を実施するための最良の形態

[0010] <第1の実施形態>

本発明の第1の実施形態について、図面を参照して説明する。図1は、本実施形態のスイッチング電源装置の内部構成を示すプロック図である。

- [0011] 図1のスイッチング電源装置は、電源電位及び接地電位がそれぞれソースに印加されたpチャネルのMOSトランジスタTr1及びnチャネルのMOSトランジスタTr2と、MOSトランジスタTr1, Tr2のゲートに信号を与えてON/OFF制御するドライバ1と、MOSトランジスタTr1, Tr2それぞれのドレインの接続ノードに一端が接続されたコイルLと、コイルLの他端に一端が接続されるとともに他端が接地されたコンデンサCと、コイルL及びコンデンサCの接続ノードと接地電位との間に直列に接続される抵抗R1, R2と、コイルLとコンデンサCとの接続ノードに現れる電圧を抵抗R1, R2で分圧した電圧と基準電圧Vrefとが入力される差動増幅器2と、エラーアンプ2からの出力電圧をレベルシフトするレベルシフタ3と、レベルシフタ3からの電圧とコイルLを流れ

る電流を表す電圧とを比較する比較器4と、比較器4からの出力がリセット端子に入力されるRSフリップフロップ5と、RSフリップフロップ5のセット端子に信号を入力する発振器6と、を備える。

[0012] そして、ドライバ1及びRSフリップフロップ5によって制御回路7が構成されるとともに、検出されたコイルLを流れる電流値を表す電圧にオフセット電圧Voff(例えば、30mV)を与える電圧源20が比較器4の反転入力端子に接続された構成とされる。即ち、コイルLを流れる電流値ILが電圧値VLに変換されて比較器4の反転入力端子に入力される際、電圧源20からのオフセット電圧Voffが与えられる。そして、比較器4において、オフセット電圧Voffが与えられた電圧値VLが、差動増幅器2及びレベルシフタ3を介してその非反転入力端子に帰還される電圧Vthと比較される。

このように構成されたスイッチング電源装置において、コイルLとコンデンサCとの接続ノードである出力端子OUTに重負荷が接続されたとき、従来のスイッチング電源装置と同様の動作を行う。このときの各部の信号の遷移図を図2に示す。図2(d)のように、発振器6よりハイとなるクロック信号がRSフリップフロップ5のセット端子に与えられると、図2(c)のように、RSフリップフロップ5の出力がハイとなり、ドライバ1が、MOSトランジスタTr1をONとするとともにMOSトランジスタTr2をOFFとする。

[0013] よって、図2(a)のように、MOSトランジスタTr1からコイルLに電流が流れ込み、コイルLに流れる電流値ILが増加するため、図2(b)のように、比較器4の反転入力端子に入力される電圧VLが低くなる。尚、図2(a)に示す電流値I0は、コイルLを流れる電流値ILの平均値である。そして、発振器6よりハイとなるクロック信号が与えられてから時間taが経過したときに、図2(b)のように、レベルシフタ3より比較器4の非反転入力端子に入力される電圧Vthより低くなると、図2(e)のように、比較器4からハイとなる信号が出力される。

[0014] 尚、出力端子OUTに現れる出力電圧が抵抗R1, R2で分圧されて差動増幅器2に帰還され、基準電圧Vrefとの差分値が増幅されて、出力電圧を表す帰還電圧と基準電圧Vrefとの誤差を表す電圧信号が出力される。その後、この電圧信号がレベルシフタ3に与えられて電源電位側にレベルシフトされる。そのため、レベルシフタ3から出力される電圧Vihiは、出力端子OUTに現れる出力電圧が高くなると、差動増幅器

2からの電圧が低くなるため、その電圧値が高くなる。このように、レベルシフタ3から比較器4の非反転入力端子に与えられる電圧 V_{th} が出力端子OUTに現れる出力電圧を表す。

[0015] そして、比較器4からハイとなる信号がRSフリップフロップ5のリセット端子に入力されるため、RSフリップフロップ4の出力が図2(c)のようにローとなり、ドライバ1が、MOSトランジスタTr1をOFFとともに、MOSトランジスタTr2をONとする。よって、図2(a)のように、コイルLを流れる電流値ILが減少し、コイルLからMOSトランジスタTr2に電流が流れるようになる。よって、図2(b)のように、比較器4の反転入力端子に入力される電圧VLが高くなる。その後、発振器6よりハイとなるクロック信号が与えられてから時間tbが経過すると、図2(d)のように、次の周期のクロック信号が発振器6より出力され、上述した動作が繰り返される。

[0016] このような動作を繰り返すことによって、出力端子OUTよりほぼ一定となる直流電圧を負荷に出力する。即ち、発振器6から出力されるクロック信号の周期tbに対するMOSトランジスタTr1をONとする期間taの長さを、コイルLを流れる電流値と出力端子OUTの出力電圧との比較結果により調整することで、出力端子OUTの出力電圧を一定に保持することができる。尚、このように重負荷が接続されたとき、コイルLを流れる電流ILが検出されて得られた電圧が、電圧源20からのオフセット電圧 V_{off} に比べて十分に大きい。即ち、オフセット電圧 V_{off} は、比較器4の反転入力端子に入力される電圧VLに対して与える影響について考慮しなくとも良い範囲の電圧値とされる。

[0017] 又、出力端子OUTに接続される負荷が無負荷又は軽負荷であるときの動作について、以下に図3を参照して説明する。このとき、出力端子OUTに現れる出力電圧が高くなつて、抵抗R1, R2の分圧電圧と基準電圧 V_{ref} との誤差が小さくなるため、差動増幅器2からの電圧が低くなる。よって、図3(b)のように、レベルシフタ3から出力される電圧 V_{th} の電圧値が高くなる。このように、レベルシフタ3から比較器4の非反転入力端子に与えられる電圧 V_{th} が出力端子OUTに現れる出力電圧を表す。

[0018] このとき、MOSトランジスタTr1がOFFであるとともにMOSトランジスタTr2がONであり、図3(a)のように、コイルLに電流が流れていない状態であるため、比較器4の反転入力端子に与えられる電圧VLは、電源電圧 V_{cc} から電圧源20によるオフセット電

圧 V_{off} 分だけ電圧降下させた値 $V_{cc}-V_{off}$ となる。そして、図3(b)のように、レベルシフタ3から出力される電圧 V_{lh} が電圧 $VL (= V_{cc}-V_{off})$ よりも高いとき、比較器4よりハイとなる信号が出力される。

[0019] そのため、図3(d)のように、発振器6より周期 t_b 毎にハイとなるクロック信号が出力されても、図3(c)のように、比較器4からRSフリップフロップ5のリセット端子にハイとなる信号が入力されるため、図3(c)のように、RSフリップフロップ5からの出力信号はローのままである。よって、ドライブ1によって、MOSトランジスタTr1がOFFに保持されるとともにMOSトランジスタTr2がONに保持される。

[0020] 又、このとき、コンデンサCが放電されるため、出力端子OUTにおける出力電圧が低くなる。そのため、図3(b)のように、レベルシフタ3から出力される電圧 V_{lh} の電圧値が徐々に低くなる。そして、レベルシフタ3から出力される電圧 V_{th} が電圧 $VL (= V_{cc}-V_{off})$ よりも低くなると、図3(e)のように、比較器4よりローとなる信号が出力される。このように、比較器4からの信号がローに切りかわった後に、図3(d)のように、発振器6よりハイとなるクロック信号が出力されると、図3(c)のように、RSフリップフロップ5からの信号がハイに切りかわる。

[0021] よって、ドライブ1によってMOSトランジスタTr1がONとされるとともにMOSトランジスタTr2がOFFとされ、図3(a)のように、コイルLに電流が流れ始める。よって、このコイルLに流れる電流 IL 分だけ、比較器4の反転入力端子に入力される電圧 VL が電圧降下する。そして、図3(a)のようなコイルLに流れる電流 IL の増加に伴って、図3(b)のように、比較器4の反転入力端子に入力される電圧 VL が低くなる。そして、図3(b)のように、この電圧 VL がレベルシフタ3からの電圧 V_{th} よりも低くなったとき、図3(e)のように、比較器4からの信号がハイに切りかわるため、図3(c)のように、RSフリップフロップ5からの信号がローとなる。

[0022] このようにRSフリップフロップ5からの信号がローとなり、ドライブ1によって、MOSトランジスタTr1がOFFとされるとともにMOSトランジスタTr2がONとされ、コイルLを流れる電流値 IL が図3(a)のように減少する。このとき、コイルLに保持されたエネルギーが放出されるため、コンデンサCが充電されて出力端子OUTからの出力電圧が高くなり、図3(b)のように、レベルシフタ3からの電圧 V_{lh} が高くなる。その後、再び、

コンデンサCが放電することで出力端子OUTからの出力電圧が低くなり、上述の動作が繰り返される。

[0023] このような動作を繰り返すことによって、出力端子OUTからの電圧が所定の電圧より高い間は、RSフリップフロップ5のリセット端子にハイとなる信号を与えて、発振器6からのクロック信号を間引くことができる。そのため、MOSトランジスタTr1のONとする周期を重負荷を与えたときに比べて長くすることができるとともに、MOSトランジスタTr1をONとする期間を表すデューティ比を重負荷を与えたときに比べて小さくすることができる。即ち、重負荷において周期tb毎に行われるスイッチング動作を複数周期毎に間欠することにより、無負荷又は軽負荷時の効率を改善することができる。

[0024] このようなスイッチング電源装置において、コイルLを流れる電流量を検出して電圧値に変換する電流検出回路10の構成の一例を図4に示す。即ち、MOSトランジスタTr1のゲート及びドレインそれぞれにゲート及びドレインそれぞれが接続されたpチャネルのMOSトランジスタTraと、MOSトランジスタTraのソースにドレインが接続されるとともにソースに電源電位が与えられゲートに基準電位が与えられたpチャネルのMOSトランジスタTrbと、によって、電流検出回路10が構成される。

[0025] このとき、MOSトランジスタTrbは抵抗として動作する。そして、ドライバ1からMOSトランジスタTr1のゲートに与えられる電圧と同一の電圧が、MOSトランジスタTraのゲートに与えられることによって、MOSトランジスタTraを駆動する。このとき、MOSトランジスタTr1, Tr2のドレインの接続ノードに現れる電圧が、MOSトランジスタTraのドレインに与えられ、MOSトランジスタTr1を流れる電流に比例した電流がMOSトランジスタTra, Trbを流れる。

[0026] そして、MOSトランジスタTrbのON抵抗によって電圧降下された電圧が、MOSトランジスタTr1を流れる電流に比例した電流値に比例した値、即ち、コイルLを流れる電流値に比例した値として現れる。このように、MOSトランジスタTrbのON抵抗によって電圧降下された電圧が、コイルLの検出電流値として、MOSトランジスタTraのソースとMOSトランジスタTrbのドレインとの接続ノードに現れ、比較器4の反転入力端子に与えられる。

[0027] 更に、図4に示すように、このMOSトランジスタTraのソースとMOSトランジスタTrb

のドレインとの接続ノードに、一端が比較器4の反転入力端子に接続された抵抗Raの他端が接続されるとともに、比較器4の反転入力端子に定電流を流す定電流源11が接続される。この定電流源11の他端が接地される。このように、抵抗Ra及び定電流源11が接続されることによって、抵抗Raに定電流源11による定電流Ioffを流すことで発生する抵抗Raの電圧降下Ra × Ioffをオフセット電圧Voffとして与える。即ち、抵抗Ra及び定電流源11が電圧源20として動作する。

[0028] よって、電源電圧をVccとするとともに、MOSトランジスタTrbのON抵抗をRxとし、コイルLの電流値ILに対してMOSトランジスタTraを流れる電流値がA × ILとなるとき、MOSトランジスタTraのソースとMOSトランジスタTrbのドレインとの接続ノードに、 $V_{cc} - Rx \times A \times IL$ となる電圧が現れる。この電圧 $V_{cc} - Rx \times A \times IL$ が、電流検出回路10の出力として出力されて抵抗Raの一端に与えられるとき、比較器4の反転入力端子には、電圧VLとして、抵抗Raの電圧降下によるオフセットが与えられた電圧 $V_{cc} - Rx \times A \times IL - Ra \times Ioff (= V_{cc} - Rx \times A \times IL - V_{off})$ が与えられる。

[0029] <第2の実施形態>

本発明の第2の実施形態について、図面を参照して説明する。図5は、本実施形態のスイッチング電源装置の内部構成を示すブロック図である。図5のスイッチング電源装置において、図1のスイッチング電源装置と同一の目的で使用する素子及び部分については、同一の符号を付してその詳細な説明は省略する。

[0030] 図5のスイッチング電源装置は、図1のスイッチング電源装置における電圧源20の代わりに、比較器4の出力に応じて切り換えられるオフセット電圧Vxoffを与える電圧源20aを備える。即ち、コイルLを流れる電流値ILが電圧値VLに変換されて比較器4の反転入力端子に入力される際、電圧源20aからのオフセット電圧Vxoffが与えられる。このとき、比較器4の出力がハイとなるとき、電圧源20aからのオフセット電圧Vxoffの値がVhoff(例えば、30mV)となり、比較器4の出力がローとなるとき、電圧源20aからのオフセット電圧Vxoffの値がVloff(例えば、20mV)となる。このオフセット電圧Vhoff, Vloffの関係は、 $Vhoff > Vloff$ である。

[0031] このように構成されたスイッチング電源装置において、まず、コイルLとコンデンサCとの接続ノードである出力端子OUTに重負荷が接続されたときの動作について、以

下に説明する。このスイッチング電源装置は、比較器4の出力によって電圧源20aからのオフセット電圧 V_{xoff} の値が切りかわることにより電圧 VL の値が切りかわること以外は、第1の実施形態のスイッチング電源装置(図1)と同様の動作を行う。よって、以下において、比較器4の出力が切りかわるときの動作について説明し、他の部分の動作については、第1の実施形態における説明を参照するものとする。

[0032] 本実施形態のスイッチング電源装置各部の信号の遷移図を図6に示す。第1の実施形態と同様、図6(a)のように、MOSトランジスタTr1からコイルLに電流が流れ込み、コイルLに流れる電流値ILが増加すると、図6(b)のように、比較器4の反転入力端子に入力される電圧 VL が低くなる。そして、発振器6よりハイとなるクロック信号が与えられてから時間 ta が経過したときに、この電圧 VL が、図6(b)のように、レベルシフタ3より比較器4の非反転入力端子に入力される電圧 V_{th} より低くなると、図6(e)のように、比較器4からハイとなる信号が出力される。

[0033] よって、電圧源20aからのオフセット電圧 V_{xoff} が電圧値 V_{loff} から電圧値 V_{hoff} に切りかわるため、比較器4の反転入力端子に入力される電圧 VL の電圧値が、図6(b)のように、 $V_{hoff}-V_{loff}$ 分だけ低くなる。又、図6(c)のように、RSフリップフロップ5からの信号がローとなり、ドライバ1によってMOSトランジスタTr1がOFFとされるとともにMOSトランジスタTr2がONとされる。よって、コイルLを流れる電流値ILが図6(a)のように減少するとともに、図6(b)のように、比較器4の反転入力端子に入力される電圧 VL が高くなる。

[0034] その後、この電圧 VL が、図6(b)のように、レベルシフタ3より比較器4の非反転入力端子に入力される電圧 V_{th} より高くなると、図6(e)のように、比較器4からローとなる信号が出力される。よって、電圧源20aからのオフセット電圧 V_{xoff} が電圧値 V_{hoff} から電圧値 V_{loff} に切りかわるため、比較器4の反転入力端子に入力される電圧 VL の電圧値が、図6(b)のように、 $V_{hoff}-V_{loff}$ 分だけ高くなる。このように、電圧源20aのオフセット電圧 V_{xoff} の切換動作が、比較器4からの信号が切りかわるたびに行われる。

[0035] 尚、本実施形態においても、このように重負荷が接続されたとき、第1の実施形態と同様、コイルLを流れる電流ILが検出されて得られた電圧が、電圧源20からのオフセ

ット電圧 V_{xoff} に比べて十分に大きい。即ち、オフセット電圧 V_{xoff} として与えられる電圧値 V_{hoff} , V_{loff} は、比較器4の反転入力端子に入力される電圧 VL に対して与える影響について考慮しなくても良い範囲の電圧値とされる。

[0036] 同様に、出力端子OUTに接続される負荷が無負荷又は軽負荷であるときの動作について、以下に図7を参照して説明する。このときも、比較器4の出力によって電圧源20aからのオフセット電圧 V_{xoff} の値が切りかわることにより電圧 VL の値が切りかわること以外は、第1の実施形態のスイッチング電源装置(図1)と同様の動作を行う。よって、以下において、比較器4の出力が切りかわるときの動作について説明し、他の部分の動作については、第1の実施形態における説明を参照するものとする。

[0037] 第1の実施形態と同様、図7(e)のように比較器4の出力がハイであるとき、MOSトランジスタTr1がOFFであるとともにMOSトランジスタTr2がONであり、図7(a)のようにコイルLに電流が流れない。よって、電圧源20aからのオフセット電圧 V_{xoff} の値が V_{hoff} となり、図7(b)のように、比較器4の反転入力端子に与えられる電圧 VL は、電源電圧 V_{cc} からオフセット電圧 V_{hoff} 分だけ電圧降下させた値 $V_{cc}-V_{hoff}$ となる。このとき、図7(b)のように、レベルシフタ3から出力される電圧 V_{th} が電圧 VL (= $V_{cc}-V_{hoff}$)よりも高い。

[0038] そのため、図7(d)のように、発振器6より周期tb毎にハイとなるクロック信号が出力されても、図7(e)のように、比較器4からRSフリップフロップ5のリセット端子にハイとなる信号が入力されるため、図7(c)のように、RSフリップフロップ5からの出力信号はローのままである。そして、出力端子OUTにおける出力電圧が低くなり、図7(b)のように、レベルシフタ3から出力される電圧 V_{th} の電圧値が徐々に低くなり、レベルシフタ3から出力される電圧 V_{th} が電圧 VL (= $V_{cc}-V_{hoff}$)よりも低くなる。

[0039] このとき、図7(e)のように、比較器4よりローとなる信号が出力される。よって、電圧源20aからのオフセット電圧 V_{xoff} の値が V_{loff} となり、図7(b)のように、比較器4の反転入力端子に与えられる電圧 VL は、電源電圧 V_{cc} からオフセット電圧 V_{loff} 分だけ電圧降下させた値 $V_{cc}-V_{loff}$ となる。このように、比較器4からの信号がローに切りかわった後に、図7(d)のように、発振器6よりハイとなるクロック信号が出力されると、図7(c)のように、RSフリップフロップ5からの信号がハイに切りかわる。

[0040] よって、図7(a)のように、コイルLに電流が流れ始めるため、このコイルLに流れる電流IL分だけ、図7(b)のように、比較器4の反転入力端子に入力される電圧VLが電圧降下する。そして、図7(b)のように、この電圧VLがレベルシフタ3からの電圧V_{th}よりも低くなったとき、図7(e)のように、比較器4からの信号がハイに切りかわるため、図7(c)のように、RSフリップフロップ5からの信号がローとなる。又、電圧源20aからのオフセット電圧V_{xoff}の値がV_{hoff}に切り換えられるため、比較器4の反転入力端子に入力される電圧VLがV_{hoff}-V_{loff}分だけ低くなる。

[0041] このようにRSフリップフロップ5からの信号がローとなるため、コイルLを流れる電流値ILが図7(a)のように減少するため、図7(b)のように、電圧VLが高くなりV_{cc}-V_h_{off}となる。このとき、コイルLに保持されたエネルギーが放出されるため、コンデンサCが充電されて出力端子OUTからの出力電圧が高くなり、図7(b)のように、レベルシフタ3からの電圧V_{th}が高くなる。その後、再び、コンデンサCが放電することで出力端子OUTからの出力電圧が低くなり、上述の動作が繰り返される。

[0042] このようなスイッチング電源装置において、第1の実施形態における図4と同様の構成の電流検出回路10が設置されるとき、比較器4との接続関係が図8のように示される。このとき、図8に示すように、オフセット電圧V_{off}を与えるための抵抗R_aが、比較器4の出力によって抵抗値が切り換えられる可変抵抗R_bとされる。即ち、可変抵抗R_bと定電流源11とによって電圧源21aが構成される。他の構成については、図4の構成と同一の構成となる。

[0043] このように構成されるとき、可変抵抗R_bは、比較器4の出力がハイとなるときの抵抗値が比較器4の出力がローとなるときの抵抗値と比べて大きくなるように、比較器4の出力に応じてその抵抗値が切り換えられる。よって、この可変抵抗R_bの電圧降下によって現れるオフセット電圧V_{xoff}が、比較器4の出力に応じて切りかわる。この可変抵抗R_bによる抵抗値の切換動作以外の動作については、第1の実施形態と同様となるので、その詳細な説明については、第1の実施形態を参照するものとして省略する。

[0044] 本実施形態のように、コイルLの検出電流を表す電圧値に対して与えるオフセット電圧に、比較器4の出力に応じて切り換えてヒステリシスを与えることによって、第1の

実施形態と比べて、比較器4からクロック信号をより確実に出力させることができ、RSフリップフロップ5における誤動作を防ぐことができる。

[0045] <第3の実施形態>

本発明の第3の実施形態について、図面を参照して説明する。図9は、本実施形態のスイッチング電源装置の内部構成を示すブロック図である。図9のスイッチング電源装置において、図1のスイッチング電源装置と同一の目的で使用する素子及び部分については、同一の符号を付してその詳細な説明は省略する。

[0046] 図9のスイッチング電源装置は、図1のスイッチング電源装置と異なり、発振器6よりスロープ補償を行うための周期 t_b となるスロープ補償用信号が出力されるとともに、このスロープ補償用信号に応じて電圧値が変化する電圧源21を比較器4の反転入力端子と電圧源20の間に備える。そのため、コイルLを流れる電流値ILが電圧値VLに変換されて比較器4の反転入力端子に入力される際、オフセット電圧Voff及びスロープ補償電圧Vslopeが付加される。このように、比較器4の反転入力端子に与えられる電圧値VLが異なるのみで、他の動作については第1の実施形態と同様である。よって、以下において、比較器4の反転入力端子に与えられる電圧値VLとスロープ補償電圧Vslopeとの関係について説明し、他の部分については、第1の実施形態における説明を参照するものとする。

[0047] このように構成されたスイッチング電源装置において、まず、コイルLとコンデンサCとの接続ノードである出力端子OUTに重負荷が接続されたときの動作について、以下に説明する。このスイッチング電源装置は、電圧VLの値がスロープ補償電圧Vslopeによって変化すること以外は、第1の実施形態のスイッチング電源装置(図1)と同様の動作を行う。即ち、図10(f)のように変化する電圧源21からのスロープ補償電圧Vslope及び電圧源20からのオフセット電圧Voffが、図10(a)のようなコイルLの検出電流ILより得られた電圧値より減算されることで、図10(b)のような電圧VLが比較器4の反転入力端子に入力される。

[0048] このとき、発振器6より、図10(d)のように周期 t_b 毎にハイとなるクロック信号が出力されるとともに、このクロック信号と同様の周期 t_b を備えるスロープ補償信号が出力される。よって、電圧源21からのスロープ補償電圧Vslopeが、図10(f)のように、周期 t_b

bの間に、その値が徐々に大きくなって最大値VSmax(例えば、20mV)に達した後に、最小値である0となる。尚、図10(c)、(f)のように、スロープ補償電圧Vslopeが最大値VSmaxから最小値0に変位した後に、発振器6よりクロック信号が出力される。このように、電圧源21からのスロープ補償電圧Vslopeが、図10(f)のように、周期1b毎にほぼ三角波形状に近い値で変化する。

[0049] 図10(f)のように、電圧源21からのスロープ補償電圧Vslopeが変化するため、図10(c)のようにRSフリップフロップ5からの出力がハイとなるとき、図10(b)のように、電圧VLの変化率が、第1の実施形態と比べて大きくなり、又、図10(c)のようにRSフリップフロップ5からの出力がローとなるとき、図10(b)のように、電圧VLの変化率が、第1の実施形態と比べて小さくなる。そして、図10(d)のように発振器6からのクロック信号が出力されて、図10(c)のようにRSフリップフロップ5からの出力がローからハイに切りかわるとき、電圧源21からのスロープ補償電圧Vslopeの値が図10(f)のようにVSmaxから0に変化するため、電圧VLが図10(b)のように電圧値VSmax分だけ高くなる。

[0050] 同様に、出力端子OUTに接続される負荷が無負荷又は軽負荷であるときの動作について、以下に図11を参照して説明する。このときも、電圧VLの値がスロープ補償電圧Vslopeによって変化すること以外は、第1の実施形態のスイッチング電源装置(図1)と同様の動作を行う。即ち、図11(f)のように変化する電圧源21からのスロープ補償電圧Vslope及び電圧源20からのオフセット電圧Voffが、図11(a)のようなコイルLの検出電流ILより得られた電圧値より減算されることで、図11(b)のような電圧VLが比較器4の反転入力端子に入力される。又、図11(f)に示す電圧源21からのスロープ補償電圧Vslopeは、上述の図10(f)と同様の変化を行う。

[0051] よって、第1の実施形態と同様、図11(e)のように比較器4の出力がハイであるとき、MOSトランジスタTr1がOFFであるとともにMOSトランジスタTr2がONであり、図11(a)のようにコイルLに電流が流れない。よって、図11(b)のように、比較器4の反転入力端子に与えられる電圧VLは、電圧源20からのオフセット電圧Voff分と電圧源21からの図11(f)のようなスロープ補償電圧Vslope分とを電源電圧Vccから電圧降下させた値Vcc-Voff-Vslopeとなる。このとき、図11(b)のように、レベルシフタ3から出

力される電圧 V_{th} が電圧 VL (= $V_{cc}-V_{off}-V_{slope}$)よりも高い。

[0052] そのため、図11(d)のように、発振器6より周期 t_b 毎にハイとなるクロック信号が出力されても、図11(c)のように、比較器4からRSフリップフロップ5のリセット端子にハイとなる信号が入力されるため、図11(c)のように、RSフリップフロップ5からの出力信号はローのままである。そして、出力端子OUTにおける出力電圧が低くなり、図11(b)のように、レベルシフタ3から出力される電圧 V_{th} の電圧値が徐々に低くなる。

[0053] そして、図11(c)のように発振器5からクロックが出力される直前に、図11(f)のように電圧源21からのスロープ補償電圧 V_{slope} が最大値 V_{Smax} から最小値0に変位するとき、図11(b)のように、レベルシフタ3から出力される電圧 V_{th} が電圧 VL よりも低くなる。即ち、図11(b)のように、比較器4の反転入力端子に与えられる電圧 VL の値が、 $V_{cc}-V_{off}-V_{Smax}$ から $V_{cc}-V_{off}$ に変位して高くなるとき、電圧 V_{th} が電圧値 $V_{cc}-V_{off}$ よりも低くなる。

[0054] このとき、図11(e)のように、比較器4よりローとなる信号が出力される。そして、スロープ補償電圧 V_{slope} が最大値 V_{Smax} から最小値0に変位した直後に、図7(d)のように、発振器6よりハイとなるクロック信号が出力される。そのため、RSフリップフロップ5のリセット端子がローとなる信号が入力された後に、セット端子にハイとなる信号が入力されて、図11(c)のように、RSフリップフロップ5からの信号がハイに切りかわる。又、スロープ補償電圧 V_{slope} が最低値0となった後、図11(f)のように、再びその値が徐々に高くなる。そのため、図11(b)のように、スロープ補償電圧 V_{slope} の増加に応じて、比較器4の反転入力端子に与えられる電圧 VL が低くなる。

[0055] このとき、RSフリップフロップ5からの信号がハイとなるため、図11(a)のように、コイルLに電流が流れ始め、このコイルLに流れる電流IL分だけ、図11(b)のように、比較器4の反転入力端子に入力される電圧 VL が電圧降下する。そして、図11(b)のように、この電圧 VL がレベルシフタ3からの電圧 V_{th} よりも低くなったとき、図11(e)のように、比較器4からの信号がハイに切りかわるため、図11(c)のように、RSフリップフロップ5からの信号がローとなる。

[0056] このようにRSフリップフロップ5からの信号がローとなるため、コイルLを流れる電流値ILが図11(a)のように減少するため、図11(b)のように、電圧 VL が高くなり $V_{cc}-V$

$V_{off} - V_{slope}$ となる。このとき、コイルLに保持されたエネルギーが放出されるため、コンデンサCが充電されて出力端子OUTからの出力電圧が高くなり、図11(b)のように、レベルシフタ3からの電圧 V_{th} が高くなる。その後、再び、コンデンサCが放電することで出力端子OUTからの出力電圧が低くなり、上述の動作が繰り返される。

[0057] このようなスイッチング電源装置において、第1の実施形態における図4と同様の構成の電流検出回路10が設置されるとき、比較器4との接続関係が図12のように示される。このとき、図12に示すように、抵抗 R_a と定電流源11との接続ノードにドレインが接続されたnチャネルのMOSトランジスタTrxと、MOSトランジスタTrxのゲートにゲート及びドレインが接続されたMOSトランジスタTryと、MOSトランジスタTryのソースにドレインが接続されたMOSトランジスタTrzと、MOSトランジスタTrxのソースに接続された抵抗 R_c と、MOSトランジスタTryのソースに接続されたコンデンサC1と、MOSトランジスタTrxのドレインに定電流源12と、を備えることで、電流源21が構成される。他の構成については、図4の構成と同一の構成となる。

[0058] このように構成されるとき、定電流源12に電源電位が印加されるとともに、コンデンサC1及び抵抗 R_c それぞれの他端が接地される。そして、MOSトランジスタTrzのゲートに発振器6からのクロック信号が入力される。このとき、MOSトランジスタTrxを流れる電流 I_{slope} による抵抗 R_a の電圧降下量 $R_a \times I_{slope}$ により、電流源21による電圧 V_{slope} が生成される。又、第1の実施形態と同様、定電流源11を流れる電流 I_{off} による抵抗 R_a の電圧降下量 $R_a \times I_{off}$ により、電流源20による電圧 V_{off} が生成される。

[0059] 即ち、ハイとなるクロック信号がMOSトランジスタTrzのゲートに入力されると、MOSトランジスタTrzがONとなるため、コンデンサC1が放電され、MOSトランジスタTryのソース電圧が低くなつて、MOSトランジスタTrx, Tryのゲート電圧が低くなる。よつて、MOSトランジスタTrxに流れる電流値 I_{slope} が減少し、MOSトランジスタTrxを流れる電流 I_{slope} による抵抗 R_a における電圧降下量 V_{slope} (= $R_a \times I_{slope}$)が小さくなる。

[0060] その後、発振器6からの信号がローとなると、MOSトランジスタTrzがOFFとなるため、コンデンサC1が充電され、MOSトランジスタTryのソース電圧が徐々に高くなつて、MOSトランジスタTrx, Tryのゲート電圧が徐々に高くなる。よつて、MOSトラン

ジスタTrxに流れる電流値Islopeが徐々に増加し、MOSトランジスタTrxを流れる電流Islopeによる抵抗Raにおける電圧降下量Vslope ($= Ra \times Islope$) が大きくなる。

[0061] このように、抵抗Raにスロープ補償電圧Vslopeが現れることによって、このスロープ補償電圧Vslopeが比較器4の反転入力端子に入力される電圧VLに付加される。即ち、電源電圧Vccとともに、MOSトランジスタTrbのON抵抗をRxとし、コイルLの電流値ILに対してMOSトランジスタTraを流れる電流値がA × ILとなるとき、比較4の反転入力端子に、電圧VLとして、抵抗Raの電圧降下によるオフセットが与えられた電圧 $Vcc - Rx \times A \times IL - (Ioff + Islope) \times Ra$ ($= Vcc - Rx \times A \times IL - Voff - Vslope$) が与えられる。

[0062] 本実施形態のように、コイルLの検出電流を表す電圧値に対してスロープ補償電圧を与えることによって、重負荷が与えられたときには、MOSトランジスタTr1がONとなるデューティ比が大きくなったときのコイルLにおける電流バラツキを小さくすることができ、分周発振を抑制することができる。又、軽負荷又は無負荷が与えられるときは、クロック信号が与えられるときに同期して、比較器4からの出力をローとさせることができ、第1の実施形態と比べて、より効率よく動作させることができる。

[0063] 尚、本実施形態において、第1の実施形態と同様、電圧源20により一定のオフセット電圧Voffが与えられるものとしたが、第2の実施形態と同様に、比較器4の出力に応じてオフセット電圧Vxoffを切り換える電圧源20aを備えるものとしても構わない。このように、電圧源20aを備えてオフセット電圧Vxoffを切り換えてヒステリシスを与えることで、第2の実施形態と同様、比較器4からクロック信号をより確実に出力させることができ、RSフリップフロップ5における誤動作を防ぐことができる。

[0064] 又、上述の各実施形態において、降圧型のスイッチング電源装置としたが、図13Aのような構成の昇圧型のスイッチング電源装置、又は、図13Bのような構成の反転型のスイッチング電源装置としても構わない。尚、図13A及び図13Bは、昇圧型及び反転型のスイッチング電源装置を第1の実施形態のスイッチング電源装置に適用したときの構成を示すものであるが、第2又は第3の実施形態におけるスイッチング電源装置に適用することもできる。

[0065] 即ち、図13Aのような昇圧型のスイッチング電源装置は、電源電位が一端に印加さ

れたコイルLと、コイルLの他端にドレインが接続されるとともにドライバ1aによって制御されるnチャネルのMOSトランジスタTrnと、MOSトランジスタTrnのドレインにアノードが接続されるダイオードDと、ダイオードDのカソードに一端が接続されたコンデンサCと、を備える。そして、コイルL又はMOSトランジスタTrnを流れる電流が電圧値として比較器4の反転入力端子に帰還される。このとき、オフセット電圧Voffが電圧源20によって与えられる。

[0066] 又、図13Bのような反転型のスイッチング電源装置は、一端が接地されたコイルLと、コイルLの他端にドレインが接続されるとともにドライバ1bによって制御されるpチャネルのMOSトランジスタTrpと、MOSトランジスタTrpのドレインにカソードが接続されるダイオードDと、ダイオードDのアノードに一端が接続されたコンデンサCと、を備える。そして、コイルL又はMOSトランジスタTrpを流れる電流が電圧値として比較器4の反転入力端子に帰還される。このとき、オフセット電圧Voffが電圧源20によって与えられる。

[0067] 更に、上述の各実施形態において、電源電位を基準にして各ブロックが動作するものとしたが、接地電位を基準にして各ブロックが動作するものとしても構わない。このとき、各ブロックがそれぞれ逆の極性となるように構成すれば良く、各ブロックの基本的な構成は上述の各実施形態における構成と同様とすることで実現可能である。更に、上述の各実施形態において、差動増幅器からの出力がレベルシフタを介して比較器に入力されるものとしたが、レベルシフタを解することなく差動増幅器からの出力が比較器に直接入力されるものとしても構わない。

産業上の利用可能性

[0068] 本発明のスイッチング電源装置は、携帯電話や携帯端末装置などの携帯機器に適用することが可能である。このとき、携帯機器において、2次電池からの電圧を変圧して他の回路装置に電圧供給するスイッチング電源装置として動作する。よって、本発明のように構成することで、携帯機器の他の回路装置をOFFとして軽負荷又は無負荷状態となったとき、スイッチング電源装置を高効率で動作させることができ、その消費電力を抑制することができる。

請求の範囲

[1] ON/OFF動作を行うスイッチング素子と、該スイッチング素子のON/OFF制御を行う制御回路と、前記スイッチング素子によって流れる電流量が制御されるコイルと、該コイルと接続されるとともに該コイルとともに整流動作を行うコンデンサと、一定の周期毎に前記スイッチング素子をONと制御するための発振信号を前記制御回路に出力する発振器と、を備えるとともに、前記コンデンサと前記コイルとの接続ノードより出力電圧を出力するスイッチング電源装置において、
前記コイルを流れる電流値を検出して電圧値に変換して電流検出電圧として出力する電流検出部と、
前記電流検出部からの前記電流検出電圧にオフセット電圧を与える電圧源と、
前記電圧源で前記オフセット電圧が与えられた前記電流検出電圧と、前記出力電圧に応じた電圧と基準電圧との差に応じた電圧と、を比較する比較器と、
を備え、
前記比較器において、前記オフセット電圧が与えられた前記電流検出電圧の大きさが前記出力電圧に応じた電圧と前記基準電圧との差に応じた電圧よりも大きいことが確認されたとき、前記発振器からの前記発振信号を無効とするとともに、前記スイッチング素子をOFFとすることを特徴とするスイッチング電源装置。

[2] 前記比較器に与えられる前記電流検出電圧に対してスロープ補償波形が重畠されることを特徴とする請求項1に記載のスイッチング電源装置。

[3] 前記スロープ補償波形による周期が、前記発振器からの前記発振信号と同一の周期であることを特徴とする請求項2に記載のスイッチング電源装置。

[4] 前記電圧源から与えられる前記オフセット電圧が、前記比較器の比較結果に応じて変化することを特徴とする請求項1に記載のスイッチング電源装置。

[5] 前記出力電圧に応じた電圧と前記基準電圧とが入力される差動増幅器を備えるとともに、該差動増幅器から出力される前記出力電圧に応じた電圧と前記基準電圧との差に応じた電圧が前記比較器に与えられることを特徴とする請求項1に記載のスイッチング電源装置。

[6] 前記差動増幅器から出力される電圧のレベル変換を行うレベルシフタを備えること

を特徴とする請求項5に記載のスイッチング電源装置。

[7] 前記制御回路が、

前記発振器からの前記発振信号がセット端子に入力されるとともに、前記比較器からの出力がリセット端子に入力されるフリップフロップ回路と、

該フリップフロップ回路からの出力に応じて前記スイッチング素子のON/OFFを制御するドライバと、

を備えることを特徴とする請求項1に記載のスイッチング電源装置。

[8] 前記電流検出部が、

前記スイッチング素子の出力側と第1電極が接続されるとともに、前記制御回路から前記スイッチング素子に与える信号が制御電極に入力される検出用トランジスタと、

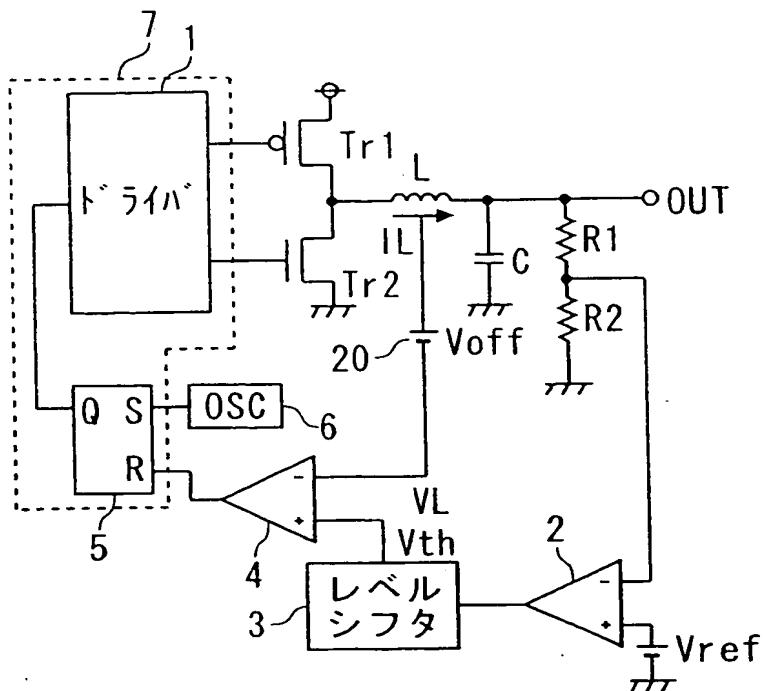
該検出用トランジスタの第2電極に一端が接続されるとともに他端に直流電圧が印加された抵抗と、

を備え、

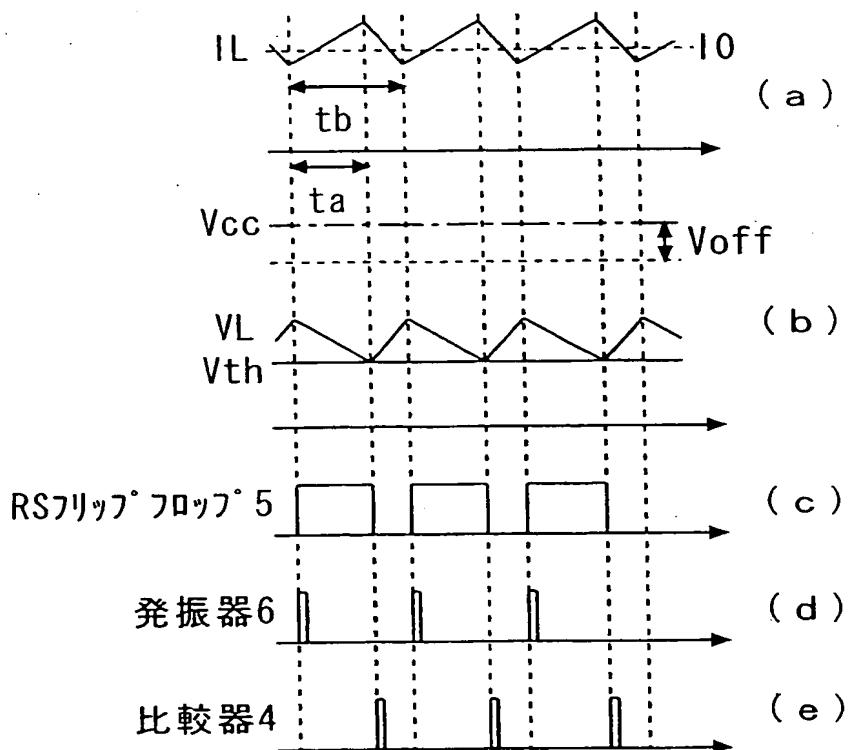
前記検出用トランジスタの第2電極に現れる電圧が、前記電流検出電圧となることを特徴とする請求項1に記載のスイッチング電源装置。

[9] 請求項1～請求項8のいずれかに記載のスイッチング電源装置を備えることを特徴とする携帯機器。

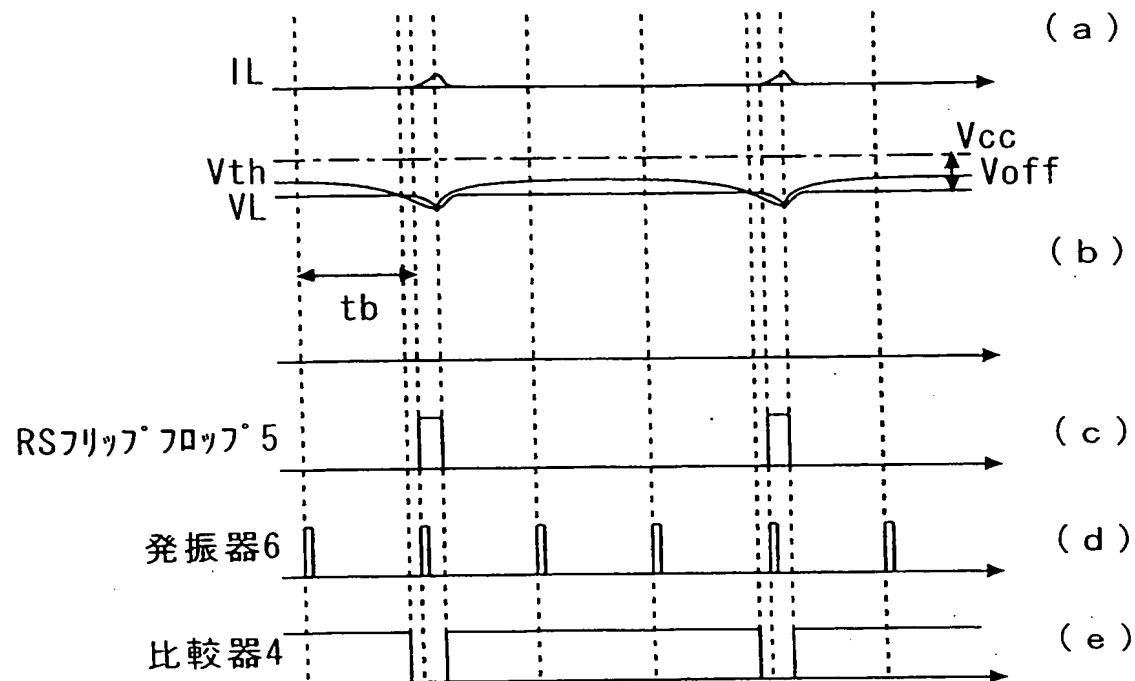
[図1]



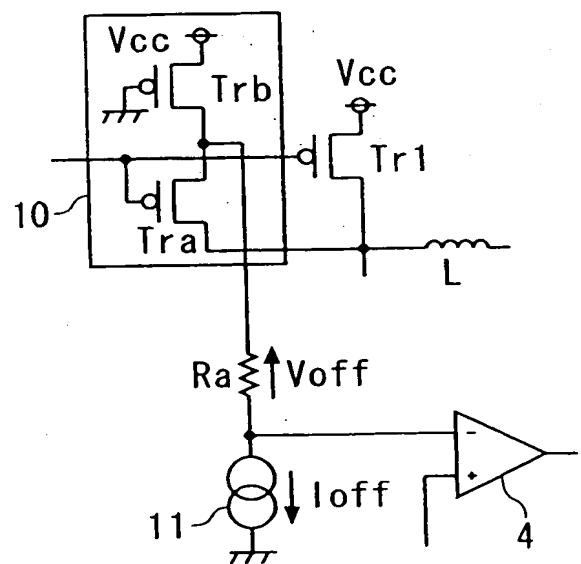
[図2]



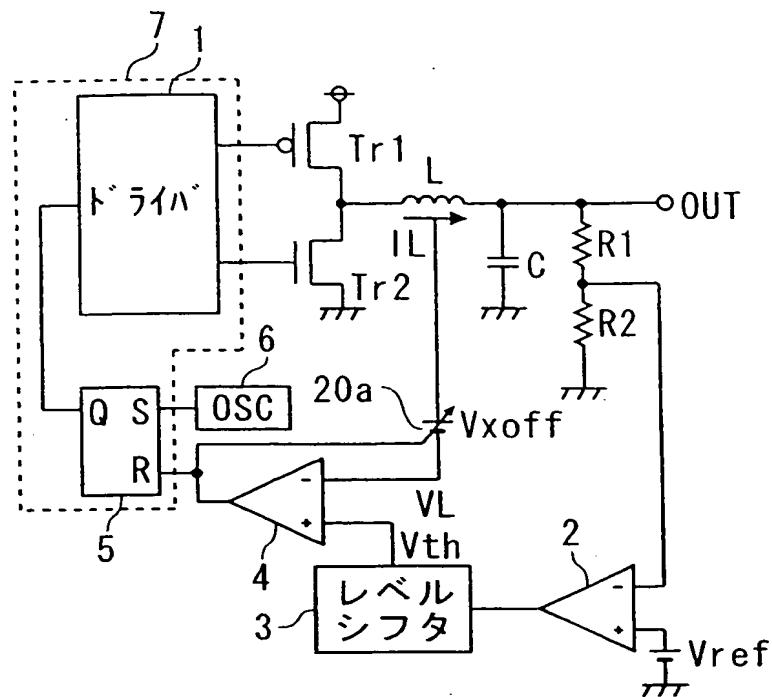
[図3]



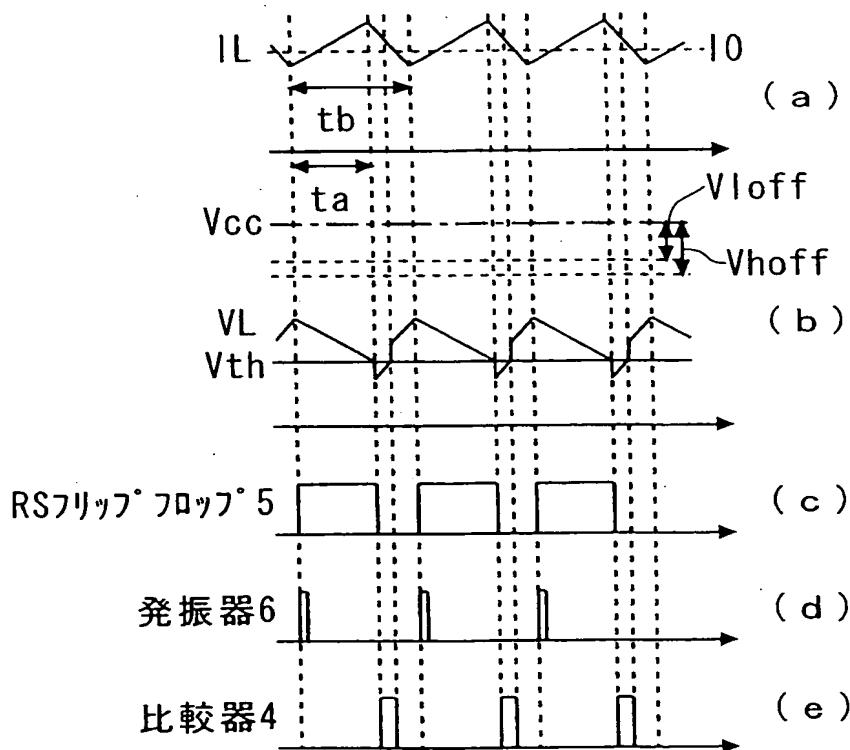
[图4]



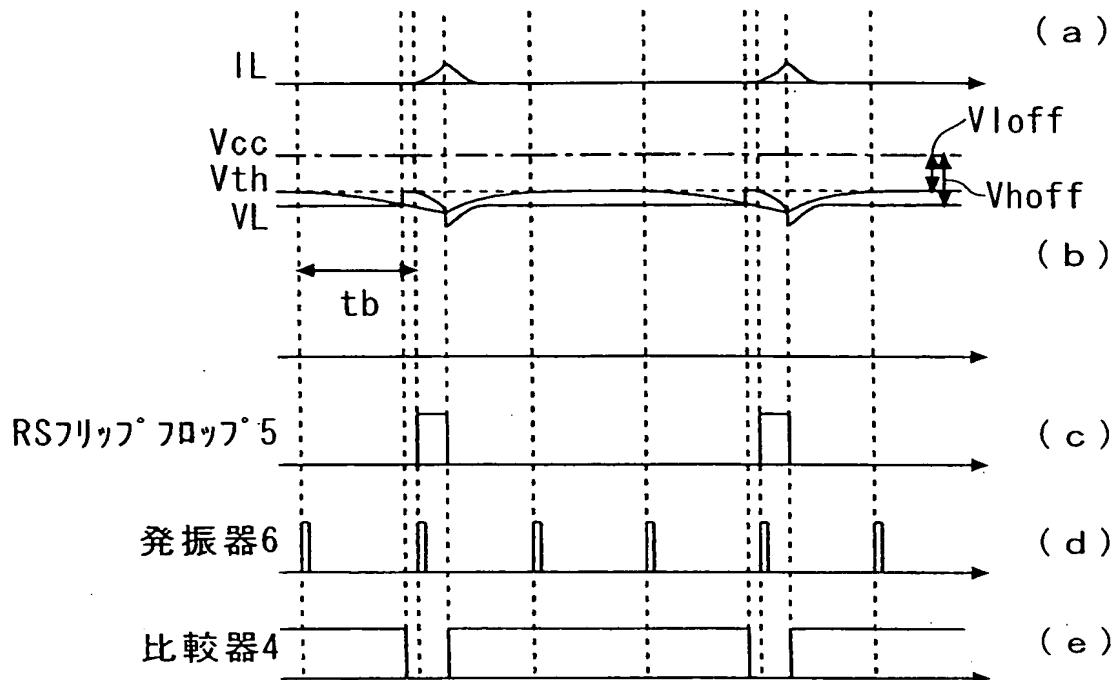
[図5]



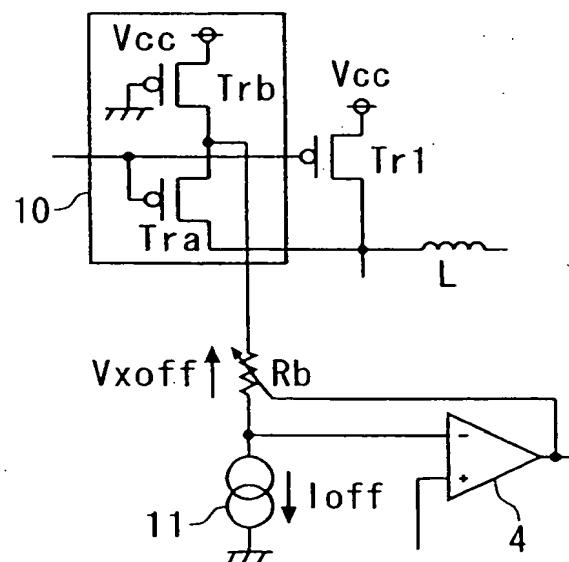
[図6]



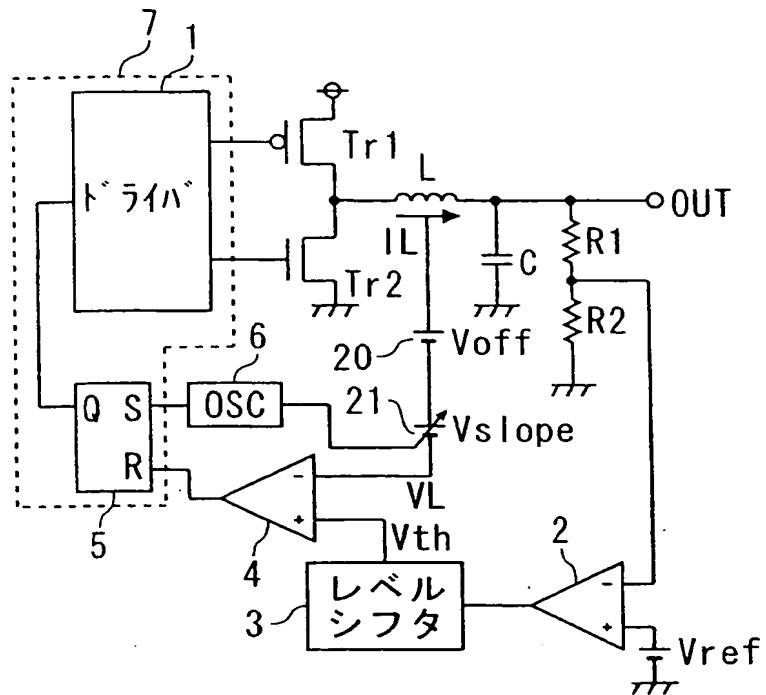
[図7]



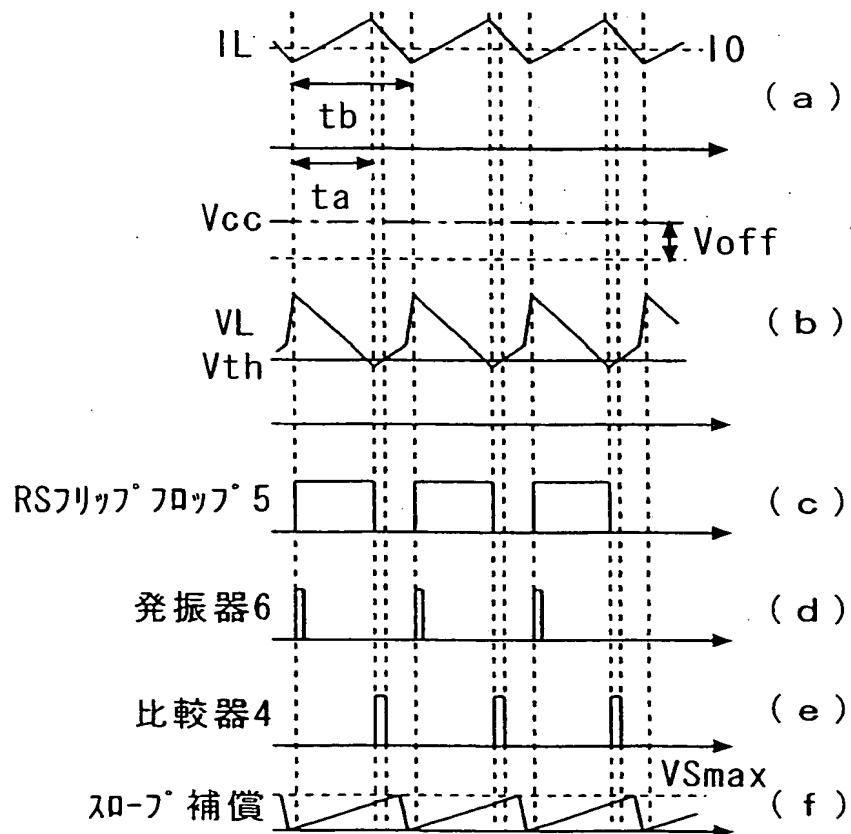
[図8]



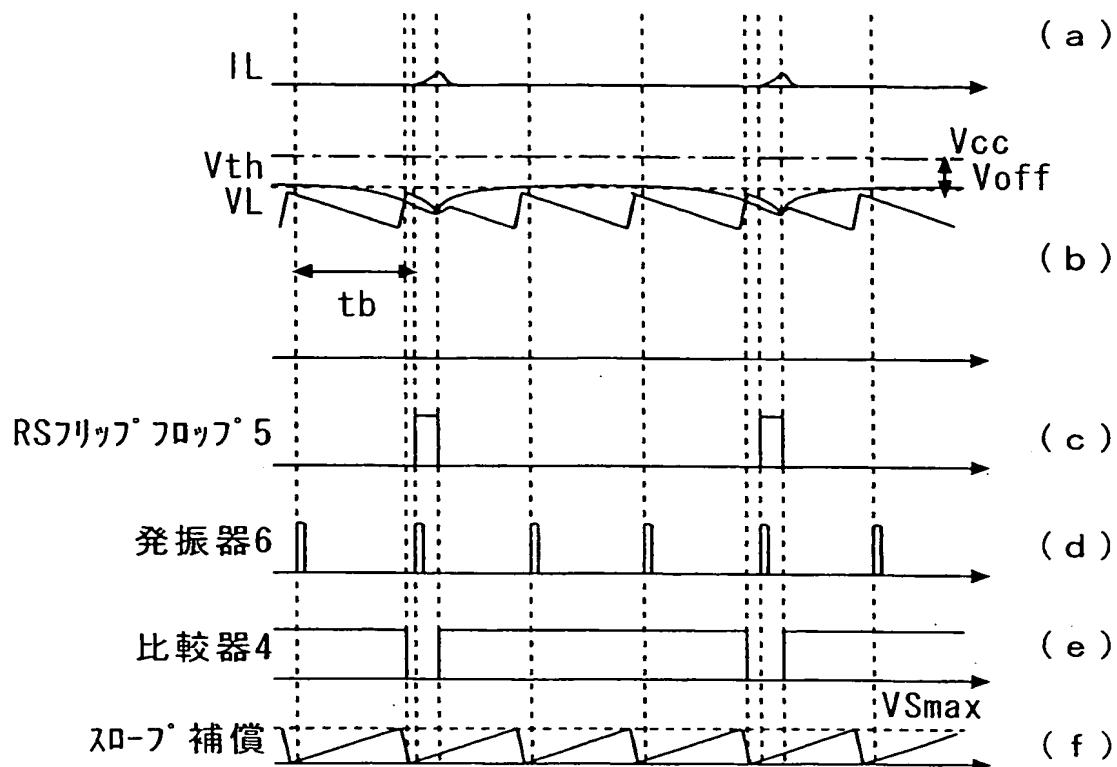
[図9]



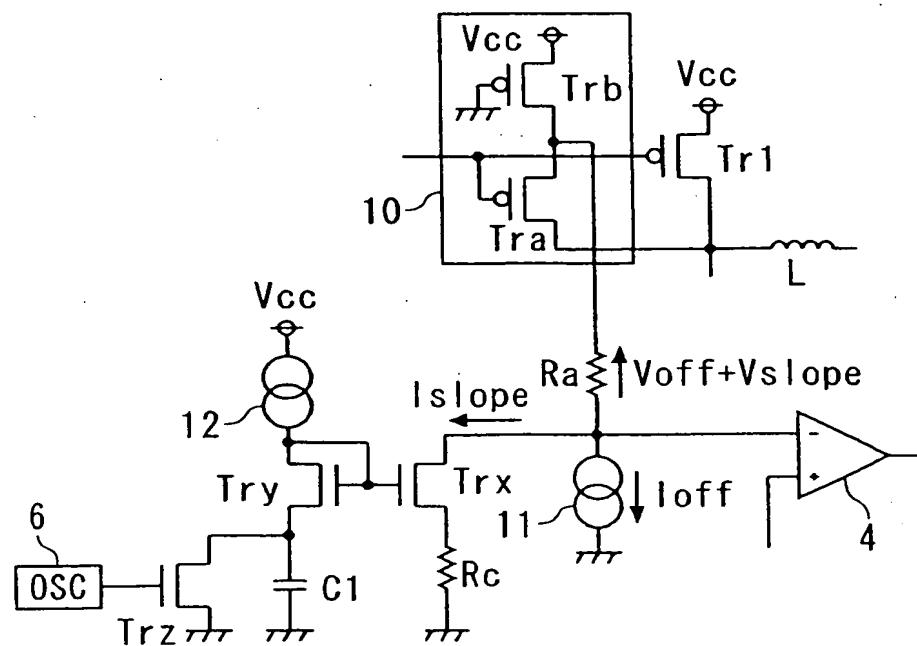
[図10]



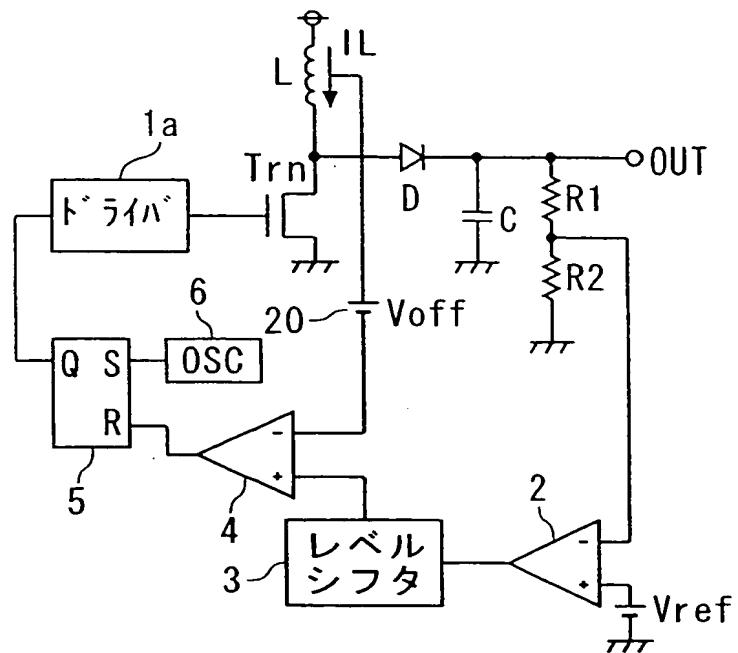
[図11]



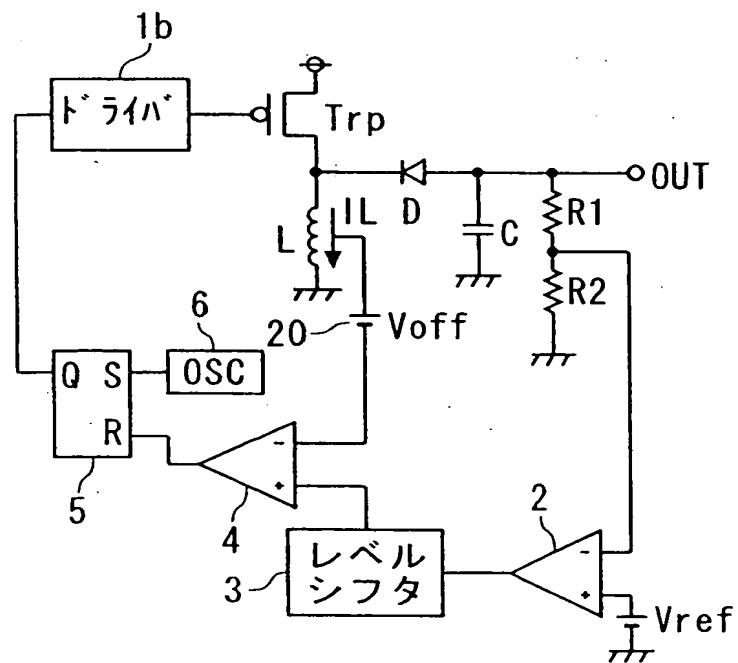
[図12]



[図13A]



[図13B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000637

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Jitsuyo Shinan Toroku Koho	1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-299978 A (Analog Devices, Inc.), 24 October, 2000 (24.10.00), & US 6064187 A & US 6229292 B1	1-9
Y	JP 6-284733 A (Fujitsu Denso Ltd.), 07 October, 1994 (07.10.94), (Family: none)	1-9
A	JP 11-75367 A (Toyoda Automatic Loom Works, Ltd.), 18 March, 1999 (18.03.99), (Family: none)	1-9

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
01 April, 2005 (01.04.05)Date of mailing of the international search report
19 April, 2005 (19.04.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 H02M 3/155

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C17 H02M 3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国登録実用新案公報 1994-2005年
 日本国実用新案登録公報 1996-2005年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-299978 A (アナログ デバイス インコーポレーテッド) 24. 10. 2000 & US 6064187 A & US 6229292 B1	1-9
Y	JP 6-284733 A (富士通電装株式会社) 07. 10. 1994 (ファミリーなし)	1-9
A	JP 11-75367 A (株式会社豊田自動織機製作所) 18. 03. 1999 (ファミリーなし)	1-9

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

01. 04. 2005

国際調査報告の発送日

19.04.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

川端 修

3V 8718

電話番号 03-3581-1101 内線 3356

since the output voltage appearing at the output terminal OUT increases, and thus an error between the divided voltage obtained by the resistances R1 and R2 and the reference voltage Vref becomes smaller, the voltage from the differential amplifier 2 decreases. This makes high the voltage value of the voltage Vth outputted from the level shifter 3, as shown in Fig. 3(b). As described above, the voltage Vth fed from the level shifter 3 to the non-inverting input terminal of the comparator 4 indicates the output voltage appearing at the output terminal OUT.

[0018] At this time, since the MOS transistor Tr1 is turned off and the MOS transistor Tr2 is turned on, and no current flows through the coil L, as shown in Fig. 3(a), the voltage VL fed to the inverting input terminal of the comparator 4 becomes a value given by $V_{cc} - V_{off}$, the value obtained by dropping a supply voltage V_{cc} by the offset voltage V_{off} fed from the voltage source 20. As shown in Fig. 3(b), when the voltage Vth outputted from the level shifter 3 is higher than the voltage VL ($= V_{cc} - V_{off}$), a high-level signal is outputted from the comparator 4.

[0019] Thus, as shown in Fig. 3(d), even when a high-level clock signal is outputted from the oscillator 6 at intervals of a time period t_b , the RS flip-flop 5 continues to output a low-level signal, as shown in Fig. 3(c), because a high-level signal is inputted from the comparator 4 to the reset terminal of the RS flip-flop 5, as shown in Fig. 3(e). Thus, the driver 1 keeps the MOS transistor Tr1 off and the MOS transistor Tr2 on.

[0020] At this time, since the capacitor C is discharged, the output voltage of the output terminal OUT decreases. As a result, as shown in Fig. 3(b), the voltage value of the voltage Vth outputted from the level shifter 3 gradually decreases. When the voltage Vth outputted from the level shifter 3 becomes lower than the voltage VL ($= V_{cc} - V_{off}$), a low-level signal is outputted from the comparator 4, as shown in Fig.

3(e). As described above, when a high-level clock signal is outputted from the oscillator 6, as shown in Fig. 3(d), after the signal from the comparator 4 is switched to low level, the signal from the RS flip-flop 5 is switched to high level, as shown in Fig. 3(c).

[0021] Thus, the driver 1 turns the MOS transistor Tr1 on and the MOS transistor Tr2 off, whereby a current begins to flow through the coil L, as shown in Fig. 3(a). As a result, the voltage VL inputted to the inverting input terminal of the comparator 4 is dropped by the current IL flowing through the coil L. As the current IL flowing through the coil L increases, as shown in Fig. 3(a), the voltage VL inputted to the inverting input terminal of the comparator 4 decreases, as shown in Fig. 3(b). When the voltage VL becomes lower than the voltage Vth from the level shifter 3, as shown in Fig. 3(b), the signal from the comparator 4 is switched to high level, as shown in Fig. 3(e). As a result, the signal from the RS flip-flop 5 turns to low level, as shown in Fig. 3(c).

[0022] As described above, the signal from the RS flip-flop 5 turns to low level, the driver 1 turns the MOS transistor Tr1 off and the MOS transistor Tr2 on, and the current value IL flowing through the coil L decreases, as shown in Fig. 3(a). At this time, the energy stored in the coil L is released, whereby the capacitor C is charged, and thus the output voltage from the output terminal OUT increases. As a result, as shown in Fig. 3(b), the voltage Vth from the level shifter 3 increases. After that, the capacitor C is discharged again, whereby the output voltage from the output terminal OUT decreases. In this way, the aforementioned operation is repeated.

[0023] By repeating the operation described above, it is possible to mask the clock signal from the oscillator 6 by feeding a high-level signal to the reset terminal of the

appears as a value proportional to the current value proportional to the current flowing through the MOS transistor Tr1, that is, a value proportional to the current value flowing through the coil L. As described above, the voltage drop across the ON resistance of the MOS transistor Trb appears, as a detected current value of the coil L, at a node at which the source of the MOS transistor Tra and the drain of the MOS transistor Trb are connected together, and is then fed to the inverting input terminal of the comparator 4.

[0027] Furthermore, as shown in Fig. 4, a resistance Ra is connected, at one end thereof, to the inverting input terminal of the comparator 4 and, at the other end thereof, to a node at which the source of the MOS transistor Tra and the drain of the MOS transistor Trb are connected together, and a constant-current power supply 11 that feeds a constant current is connected to the inverting input terminal of the comparator 4. The other end of the constant-current power supply 11 is grounded. In this way, by connecting the resistance Ra and the constant-current power supply 11 together, a voltage drop $Ra \times I_{off}$ across the resistance Ra caused by the passage of a constant current I_{off} fed from the constant-current power supply 11 through the resistance Ra is added as an offset voltage V_{off} . That is, the resistance Ra and the constant-current power supply 11 function as a voltage source 20.

[0028] Here, assume that the supply voltage is V_{cc} , the ON resistance of the MOS transistor Trb is R_x , and the current value flowing through the MOS transistor Tra relative to the current value I_L of the coil L is $A \times I_L$. Then, a voltage given by $V_{cc} - R_x \times A \times I_L$ appears at a node at which the source of the MOS transistor Tra and the drain of the MOS transistor Trb are connected together. When the voltage given by $V_{cc} - R_x \times A \times I_L$ is outputted as an output of the current detection circuit 10 and is

$V_{hoff} - V_{loff}$, as shown in Fig. 6(b). On the other hand, as shown in Fig. 6(c), the signal from the RS flip-flop 5 turns to low level, whereby the driver 1 turns the MOS transistor Tr1 off and the MOS transistor Tr2 on. As a result, the current value I_L flowing through the coil L decreases, as shown in Fig. 6(a), and the voltage V_L inputted to the inverting input terminal of the comparator 4 increases, as shown in Fig. 6(b).

[0034] After that, when the voltage V_L becomes higher than the voltage V_{th} inputted from the level shifter 3 to the non-inverting input terminal of the comparator 4, as shown in Fig. 6(b), a low-level signal is outputted from the comparator 4, as shown in Fig. 6(e). As a result, the offset voltage V_{xoff} from the voltage source 20a is switched from a voltage value V_{hoff} to a voltage value V_{loff} , whereby the voltage value of the voltage V_L inputted to the inverting input terminal of the comparator 4 increases by $V_{hoff} - V_{loff}$, as shown in Fig. 6(b). In this way, a switching operation of the offset voltage V_{xoff} of the voltage source 20a is performed each time the signal from the comparator 4 is switched.

[0035] As is the case of the first embodiment, also in this embodiment, when a heavy load is connected as described above, the voltage obtained by detecting the current I_L flowing through the coil L is sufficiently higher than the offset voltage V_{xoff} from the voltage source 20a. That is, the voltage values V_{hoff} and V_{loff} added as an offset voltage V_{xoff} each fall within the voltage range in which the influence thereof on the voltage V_L inputted to the inverting input terminal of the comparator 4 is so small that it can be ignored.

[0036] Similarly, the operation performed when no load or a light load is connected to the output terminal OUT will be described with reference to Fig. 7. Also in this case,

[0042] When a current detection circuit 10 having the same configuration as that shown in Fig. 4 of the first embodiment is incorporated in the switching power supply apparatus described above, the relation of connection between the current detection circuit 10 and the comparator 4 is shown in Fig. 8. In this case, as shown in Fig. 8, a resistance Ra used for adding an offset voltage Voff is replaced with a variable resistance Rb that can switch a resistance value depending on the output of the comparator 4. That is, the variable resistance Rb and the constant-current power supply 11 constitute a voltage source 20a. Other circuit blocks are the same as those in Fig. 4.

[0043] With this configuration, the resistance value of the variable resistance Rb is switched depending on the output of the comparator 4 in such a way that the resistance value obtained when the output of the comparator 4 turns to high level becomes greater than the resistance value obtained when the output of the comparator 4 turns to low level. As a result, the offset voltage Vxoff appearing due to the voltage drop across the variable resistance Rb is switched depending on the output of the comparator 4. The operations other than the resistance value switching operation performed by the variable resistance Rb are the same as in the first embodiment, and therefore no detailed description thereof will be repeated. For these operations, reference should be made to the descriptions of the first embodiment.

[0044] As described in this embodiment, by giving hysteresis to an offset voltage to be added to a voltage value indicating a detected current of the coil L by switching the offset voltage depending on the output of the comparator 4, it is possible to make the comparator 4 output a clock signal more reliably than the first embodiment. This helps prevent malfunctioning of the RS flip-flop 5.

Fig. 11(a). As a result, as shown in Fig. 11(b), the voltage VL fed to the inverting input terminal of the comparator 4 becomes a value given by $V_{cc} - V_{off} - V_{slope}$, the value obtained by dropping the supply voltage V_{cc} by the offset voltage V_{off} from the voltage source 20 and the slope compensation voltage V_{slope} from the voltage source 21, the slope compensation voltage V_{slope} shown in Fig. 11(f). At this time, as shown in Fig. 11(b), the voltage V_{th} outputted from the level shifter 3 is higher than the voltage VL ($= V_{cc} - V_{off} - V_{slope}$).

[0052] Thus, as shown in Fig. 11(d), even when a high-level clock signal is outputted from the oscillator 6 at intervals of a time period t_b , the RS flip-flop 5 continues to output a low-level signal, as shown in Fig. 11(c), because a high-level signal is inputted from the comparator 4 to the reset terminal of the RS flip-flop 5, as shown in Fig. 11(e). Meanwhile, the output voltage of the output terminal OUT decreases, and the voltage value of the voltage V_{th} outputted from the level shifter 3 gradually decreases, as shown in Fig. 11(b).

[0053] When the slope compensation voltage V_{slope} from the voltage source 21 decreases from a maximum value V_{Smax} to a minimum value of zero, as shown in Fig. 11(f), immediately before a clock is outputted from the oscillator 6, as shown in Fig. 11(c), the voltage V_{th} outputted from the level shifter 3 becomes lower than the voltage VL, as shown in Fig. 11(b). That is, when the value of the voltage VL fed to the inverting input terminal of the comparator 4 increases by changing from $V_{cc} - V_{off} - V_{Smax}$ to $V_{cc} - V_{off}$, as shown in Fig. 11(b), the voltage V_{th} becomes lower than the voltage value given by $V_{cc} - V_{off}$.

[0054] At this time, as shown in Fig. 11(e), a low-level signal is outputted from the comparator 4, and, immediately after the slope compensation voltage V_{slope}

decreases from a maximum value V_{Smax} to a minimum value of zero, a high-level clock signal is outputted from the oscillator 6, as shown in Fig. 11(d). Thus, a high-level signal is inputted to the set terminal of the RS flip-flop 5 after a low-level signal is inputted to the reset terminal thereof, whereby the signal from the RS flip-flop 5 is switched to high level, as shown in Fig. 11(c). On the other hand, after the slope compensation voltage V_{slope} reaches to a minimum value of zero, it gradually increases again, as shown in Fig. 11(f). Thus, as shown in Fig. 11(b), as the slope compensation voltage V_{slope} increases, the voltage VL fed to the inverting input terminal of the comparator 4 decreases.

[0055] At this time, since the signal from the RS flip-flop 5 turns to high level, a current begins to flow through the coil L, as shown in Fig. 11(a), and the voltage VL inputted to the inverting input terminal of the comparator 4 drops by the current IL flowing through the coil L, as shown in Fig. 11(b). When the voltage VL becomes lower than the voltage V_{th} from the level shifter 3, as shown in Fig. 11(b), the signal from the comparator 4 is switched to high level, as shown in Fig. 11(e). As a result, the signal from the RS flip-flop 5 turns to low level, as shown in Fig. 11(c).

[0056] As described above, since the signal from the RS flip-flop 5 turns to low level, the current value IL flowing through the coil L decreases, as shown in Fig. 11(a). As a result, the voltage VL increases and becomes $V_{cc} - V_{off} - V_{slope}$, as shown in Fig. 11(b). At this time, the energy stored in the coil L is released, whereby the capacitor C is charged, and thus the output voltage from the output terminal OUT increases, and the voltage V_{th} from the level shifter 3 increases, as shown in Fig. 11(b). After that, the capacitor C is discharged again, whereby the output voltage from the output terminal OUT decreases. In this way, the aforementioned operation is repeated.

[0057] When a current detection circuit 10 having the same configuration as that shown in Fig. 4 of the first embodiment is incorporated in the switching power supply apparatus described above, the relation of connection between the current detection circuit 10 and the comparator 4 is shown in Fig. 12. In this case, as shown in Fig. 12, the current source 21 is built with an n-channel MOS transistor Trx that is connected, at the drain thereof, to a node at which the resistance Ra and the constant-current power supply 11 are connected together, a MOS transistor Try that is connected, at the gate and the drain thereof, to the gate of the MOS transistor Trx, a MOS transistor Trz that is connected, at the drain thereof, to the source of the MOS transistor Try, a resistance Rc that is connected to the source of the MOS transistor Trx, a capacitor C1 that is connected to the source of the MOS transistor Try, and a constant-current power supply 12 that is connected to the drain of the MOS transistor Try. Other circuit blocks are the same as those in Fig. 4.

[0058] With this configuration, a supply potential is applied to the constant-current power supply 12, the other ends of the capacitor C1 and the resistance Rc are respectively grounded, and a clock signal from the oscillator 6 is inputted to the gate of the MOS transistor Trz. At this time, the voltage Vslope generated by the current source 21 is obtained from the voltage drop given by $Ra \times Islope$, the voltage drop across the resistance Ra caused by the passage of a current Islope through the MOS transistor Trx. On the other hand, as is the case with the first embodiment, the voltage Voff generated by the current source 20 is obtained from the voltage drop given by $Ra \times Ioff$, the voltage drop across the resistance Ra caused by the passage of a current Ioff through the constant-current power supply 11.

[0059] That is, when a high-level clock signal is inputted to the gate of the MOS